

⑫ 公表特許公報(A)

平5-500136

⑬ 公表 平成5年(1993)1月14日

⑭ Int.Cl.⁸H 05 K 1/16
3/46

識別記号

D
Q

庁内整理番号

8727-4E
6921-4E審査請求 未請求
予備審査請求 有

部門(区分) 7(2)

(全 13 頁)

⑮ 発明の名称 印刷配線基板のためのコンデンサ積層体

⑯ 特 願 平2-512743

⑰ 出 願 平2(1990)8月22日

⑱ 翻訳文提出日 平4(1992)2月21日

⑲ 国際出願 PCT/US90/04777

⑳ 国際公開番号 WO91/02647

㉑ 国際公開日 平3(1991)3月7日

優先権主張 ㉒ 1989年8月23日 ㉓ 米国(US) ㉔ 397,518

㉕ 発 明 者 ハワード、ジェームズ アール アメリカ合衆国 95030 カリフォルニア州 ロス ゲイトス フ
オレスト ヒル ドライブ 138㉖ 出 願 人 ザイコン コーポレーション アメリカ合衆国 95050 カリフォルニア州 サンタ クララ イ
ーエル カミノ リール 445

㉗ 代 理 人 弁理士 小杉 佳男

㉘ 指 定 国 AT(広域特許), AU, BE(広域特許), BR, CA, CH(広域特許), DE(広域特許), DK(広域特許), ES
(広域特許), FI, FR(広域特許), GB(広域特許), HU, IT(広域特許), JP, KR, LU(広域特許), N
L(広域特許), SE(広域特許), SU

最終頁に続く

請 求 の 範 囲

1. 容量性印刷配線基板(PCB)であって、コンデンサ積層体の周りに積層された多数の層と、

前記PCB上に取り付けられ又は形成された多数のデバイスと、前記デバイスにキャパシタンスを供給するためにそれぞれの前記デバイスに作用的に結合された前記コンデンサ積層体、とを備えたものにおいて、

前記コンデンサ積層体が、

導電性材料から形成された2つのシートと誘電性材料から形成された1つの中間シートとからなる、前記容量性PCB内でその包含を容易にする構造的に剛性な組み立て部品として前記コンデンサ積層体を形成するために共に積層される、導電性材料と中間誘電性材料から形成されたセバレートシートと、

選択された厚さと誘電率とを有し、各々のデバイスに比例する前記コンデンサ積層体の部分と前記コンデンサ積層体の他の部分からの借りキャパシタンスとにより各々の前記デバイスにキャパシタンスを供給する、誘電性材料から形成される前記シートと、前記デバイスのランダム放電又は動作に依存する、前記コンデンサ積層体の容量性機能と、

各々のデバイスにその特有の動作にとって十分な借りキャパシタンスを供給するために必要な適切な電流の流れを可能にする、最小の導電率を有する導電性材料から形成される前記シートとを備えていることを特徴とする容量性印刷配線基

板。

2. 前記PCB上の全ての前記デバイスのために要求される結合理論キャパシタンスより実質的に少ないキャパシタンスを有する前記コンデンサ積層体を備えたことを特徴とする請求項1記載の容量性PCB。

3. 前記PCB上の全ての前記デバイスのために要求される結合理論キャパシタンスより約10%少ないキャパシタンスを有する前記コンデンサ積層体を備えたことを特徴とする請求項2記載の容量性PCB。

4. 導電性材料から形成される前記2つのシートがそれぞれ前記容量性PCB内部に電源面と接地面とを形成することを特徴とする請求項1記載の容量性PCB。

5. 前記コンデンサ積層体の構造的剛性を保証するために、及び前記PCB上の前記コンデンサ積層体と接続された前記多くのデバイスのランダム動作に対して十分な借りキャパシタンスを供給するために、誘電性から形成される前記シートが少なくとも約0.5ミルの厚さを有し、導電性材料から形成される前記シートが1平方フィート当たり少なくとも約0.5オンスの質量分布を各々有し、前記誘電性材料が約1~2ミルの厚さを有していることを特徴とする請求項1記載の容量性PCB。

6. 前記デバイスが、周波数の動作速度の範囲内でノイズ抑制を要求するタイプであり、それぞれのデバイスに結合されている複数コンデンサに似ておりその結果前記容量性PCB内部で容量性範囲を増加する前記コンデンサ積層体の前記借り

キャパシタンス効果を有することを特徴とする請求項5記載の容量性PCB。

7. 容量性印刷配線基板(PCB)であって、コンデンサ積層体の周りの多数の積層と、

前記コンデンサ積層体と動作的に接続された多数のデバイスを受け入れるためにPCB上に形成された手段とを備えた容量性印刷配線基板(PCB)において、

前記コンデンサ積層体が、

導電性材料から形成された2つのシートと誘電性材料から形成された1つの中間シートとからなる、容量性PCB内でその包含を容易にする構造的に剛性を組み立て部品として前記コンデンサ積層体を形成するために共に積層される、導電性材料と中間誘電性材料から形成されたセパレートシートと、

導電性シートをデバイスに接続するための手段と、

選択された厚さと誘電率とを有し、各々のデバイスが比例するコンデンサ積層体の部分と前記コンデンサ積層体の他の部分からの借りキャパシタンスとにより前記各々のデバイスにキャパシタンスを供給する、誘電性材料から形成される前記シートと、前記デバイスのランダム放電又は動作に依存する、コンデンサ積層体の容量性機能と、

各々のデバイスにその特有の動作にとって十分な借りキャパシタンスを供給するために必要な適切な電流の流れを可能にする、最小の導電率を有する導電性材料から形成されるシートとを備えていることを特徴とする容量性印刷配線基

動作に依存する、コンデンサ積層体の容量性機能と、

各々のデバイスにその特有の動作にとって十分な借りキャパシタンスを供給するために必要な適切な電流の流れを可能にする、最小の導電率を有する導電性材料から形成されるシートとを備えていることを特徴とするコンデンサ積層体。

10. 前記コンデンサ積層体の構造的剛性を保証するために、及び前記PCB上の前記コンデンサ積層体と接続された前記多くのデバイスのランダム作動に対して十分な借りキャパシタンスを供給するために、誘電性から形成される前記シートが少なくとも約0.5ミルの厚さを有し、導電性材料から形成される前記シートが1平方フィート当たり少なくとも約0.5オンスの質量分布を各々有し、前記誘電性材料が約1~2ミルの厚さを有し、導電性材料から形成される前記シートが1平方フィート当たりそれぞれ少なくとも約1オンスの質量分布を有していることを特徴とする請求項9記載のコンデンサ積層体。

11. 容量性印刷配線基板(PCB)を形成する方法において、

コンデンサ積層体の周りに多数の層を積層する工程と、

デバイスにキャパシタンスを供給する前記コンデンサ積層体と動作的に接続された、前記PCB上の多数の前記デバイスを受け入れるための手段を形成する工程と、

前記容量性PCB内でその包含を容易にする構造的に剛性を組み立て部品として前記コンデンサ積層体を形成するために、導電性材料から形成された2つのシートと誘電性材料

板と、

8. 前記コンデンサ積層体の構造的剛性を保証するために、及び前記PCB上の前記コンデンサ積層体と接続された前記多くのデバイスのランダム作動に対して十分な借りキャパシタンスを供給するために、誘電性から形成される前記シートが少なくとも約0.5ミルの厚さを有し、導電性材料から形成される前記シートが1平方フィート当たり少なくとも約0.5オンスの質量分布を各々有し、前記誘電性材料が約1~2ミルの厚さを有していることを特徴とする請求項7記載の容量性PCB。

9. 印刷配線基板(PCB)上に取り付けられ又は形成された多数のデバイスのためにキャパシタンスを供給する、前記印刷配線基板内で層として用いるコンデンサ積層体において、

導電性材料から形成された2つのシートと誘電性材料から形成された1つの中間シートとからなる、容量性PCB内でその包含を容易にする構造的に剛性を組み立て部品として前記コンデンサ積層体を形成するために共に積層される、導電性材料と中間誘電性材料から形成されたセパレートシートと、

選択された厚さと誘電率とを有し、各々のデバイスに比例するコンデンサ積層体の部分と他のデバイスが比例する前記コンデンサ積層体の部分からの借りキャパシタンスとにより前記各々のデバイスに容量性値を供給する、誘電性材料から形成される前記シートと、前記デバイスのランダム放電又は

から形成された1つの中間シートとを一緒に結合する工程と、

前記各々のデバイスに比例する前記コンデンサ積層体の部分と前記コンデンサ積層体の他の部分からの借りキャパシタンスとにより前記各々のデバイスにキャパシタンスを供給する、誘電性材料から形成される前記シートの厚さと誘電率と、前記デバイスのランダム放電又は動作に依存する、コンデンサ積層体の容量性機能とを選択する工程、と

各々のデバイスにその特有の動作にとって十分な借りキャパシタンスを供給するために必要な適切な電流の流れを可能にする、導電性材料から形成されるシートの最小の導電率を選択する工程を含んでいることを特徴とする容量性印刷配線基板の形成方法。

12. 印刷配線基板(PCB)上に取り付けられ又は形成された多数のデバイスのためにキャパシタンスを供給する、前記印刷配線基板内で層として用いるコンデンサ積層体の形成方法において、

導電性材料から形成された2つのシートと誘電性材料から形成された1つの中間シートとを、容量性PCB内でその包含を容易にする構造的に剛性を組み立て部品として前記コンデンサ積層体を形成するために一緒に結合する工程と、

各々のデバイスが比例するコンデンサ積層体の部分と前記コンデンサ積層体の他の部分からの借りキャパシタンスとにより、前記各々のデバイスにキャパシタンスを供給する、誘電性材料から形成される前記シートの厚さと誘電率と、前記

デバイスのランダム放電又は作動に依存する、前記コンデンサ積層体の容量性機能とを選択する工程と、

各々のデバイスにその特有の作動にとって十分な借りキャパシタンスを供給するために必要な適切な電流の流れを可能にする、導電性材料の最小の導電率を選択する工程とを含んでいることを特徴とするコンデンサ積層体の形成方法。

13. 比較的高いキャパシタンスを有するコンデンサ積層体を形成する方法において、

約4ミルより大きくない初期の厚さを有する誘電性シートを選択する工程と、

最終的なコンデンサ積層体内で前記誘電性シートに対する導電性箔の1つの側の付着力を促進するのに十分な、各々が表面粗さ又は表面変化を伴う表面処理された前記1つの側を有する2つの前記導電性箔を選択する工程と、

前記コンデンサ積層体の容量性完全さの増加のため前記導電性箔の全ての対向表面部分の間で最小厚さを有する前記誘電性シートの対向する側と密接する、前記導電性箔の前記1つの表面処理が施された側を伴う前記コンデンサ積層体を形成する工程とを含んでいることを特徴とするコンデンサ積層体の形成方法。

14. 各導電性箔の導電率が鋼の約1ミルの厚さに少なくとも相当し、前記誘電性シートが約2ミルを越えない初期厚さを有することを特徴とする請求項13記載のコンデンサ積層体の形成方法。

15. 前記形成されたコンデンサ積層体内で前記導電性箔の

全ての対向する表面部分の間で少なくとも約0.5ミルの最小厚さを保持するために、各導電性箔の前記1つの表面側上の表面粗さと表面変化とが選択され、前記形成されたコンデンサ積層体内で前記導電性箔の全ての対向する表面部分の間で約0.75~1.25ミルの厚さを保持するために、各導電性箔の前記1つの表面側上の表面粗さと表面変化とが選択されることを特徴とする請求項14記載のコンデンサ積層体の形成方法。

16. 比較的高いキャパシタンスを有するコンデンサ積層体において、

約4ミルより大きくない初期の厚さを有する誘電性シートと、

最終的なコンデンサ積層体内で前記誘電性シートに対する導電性箔の1つの側の付着力を促進するのに十分な、各々が表面粗さ又は表面変化を伴う表面処理された前記1つの側を有する2つの前記導電性箔と、

前記コンデンサ積層体の容量性完全さを増加した前記導電性箔の全ての対向表面部分の間で最小厚さを有する前記誘電性シートの対向する側と密接する、前記導電性箔の前記1つの表面処理が施された側を伴う前記コンデンサ積層体とを備えたことを特徴とするコンデンサ積層体。

17. 前記コンデンサ積層体の比例する部分を含んだ合計キャパシタンスをそれぞれのデバイスに供給することと、前記コンデンサ積層体の他の部分からの借りキャパシタンス又は分離キャパシタンスにより、前記コンデンサ積層体の異な

る部分にそれぞれ接続されている複数のデバイスと共に応用される前記コンデンサ積層体と、前記デバイスのランダム動作を容易にするために十分な導電率をそれぞれが有する前記2つの導電性箔とを備えていることを特徴とする請求項16記載のコンデンサ積層体。

18. 各導電性箔の導電率が鋼の約1ミルの厚さに少なくとも相当し、前記誘電性シートが約2ミルを越えない初期厚さを有し、前記形成されたコンデンサ積層体内で前記導電性箔の全ての対向する表面部分の間で少なくとも約0.5ミルの最小厚さを保持するために、各導電性箔の前記1つの表面処理された側上の表面粗さと表面変化とが選択されていることを特徴とする請求項17記載のコンデンサ積層体。

19. 印刷配線基板の実質的な面積にわたって広がる少なくとも1つのコンデンサ積層体と、各コンデンサ積層体の異なる部分にそれぞれ接続された複数のデバイスとを備えて形成される印刷配線基板(PCB)において、

各コンデンサ積層体が、

約4ミルを越えない初期厚さを有する誘電性シートと、

最終的なコンデンサ積層体内で前記誘電性シートに対する導電性箔の1つの側の付着力を促進するのに十分な、各々が表面粗さ又は表面変化を伴う表面処理された前記1つの側を有する2つの前記導電性箔と、

前記コンデンサ積層体の比例する部分を含んだ合計キャパシタンスをそれぞれのデバイスに供給することと、前記コンデンサ積層体の他の部分からの借りキャパシタンス又は分離

キャパシタンスにより、前記デバイスのランダム動作を容易にするために十分な導電率をそれぞれが有する前記2つの導電性箔と、

前記PCB内部の前記コンデンサ積層体の付着力を促進するために他の側も表面処理された前記導電性箔と、

前記コンデンサ積層体の容量性完全さを増加した前記導電性箔の全ての対向表面部分の間で最小厚さを有する前記誘電性シートの対向する側と密接する、前記導電性箔の前記1つの表面処理が施された側を伴う各コンデンサ積層体とを備えたことを特徴とする印刷配線基板。

20. 各導電性箔の導電率が鋼の約1ミルの厚さに少なくとも相当し、前記誘電性シートが約2ミルを越えない初期厚さを有し、前記形成されたコンデンサ積層体内で前記導電性箔の全ての対向する表面部分の間で約0.75~1.25ミルの最小厚さを保持するために、各導電性箔の前記1つの表面処理された側上の表面粗さと表面変化とが選択されていることを特徴とする請求項19記載の印刷配線基板。

明 細 書

印刷配線基板のためのコンデンサ積層体

技術分野

本発明は、容量性印刷配線基板上に取り付けられ又は形成された多数のデバイスに容量性機能を与えるために、容量性印刷配線基板内に層を形成するコンデンサ積層体と、そのための製造方法に関する。

背景技術

印刷配線基板 (PCBs) は長い間積層構造として形成されており、その上には広範囲の種類の電子機器内での使用のために集積回路などの多くのデバイスが取り付けられまたは形成されている。典型的には、これらの印刷配線基板は、内部電源面と内部接地面、または導電性シート、それらの動作を容易にするために電源面と接地面の両方をもった配線または電気接続を含む種々のデバイスで形成されている。PCBs内の電源面と接地面との間で生じる電圧フリッカを補償するために、このようなPCBsとこの上に配置されるデバイスの設計に実質的な努力が費やされてきており、特に基板表面に取り付けられ又は形成され、動作のために電源面と接地面の両方に接続される集積回路のような敏感なデバイスのために実質的な努力が費やされてきている。

開閉する集積回路によって上述の電圧フリッカは一般に起こされ、このフリッカは多くの機器に望まれない及び／又は喜ば

れないノイズとなる。

過去におけるこの問題の普通の解決方法は、あるケースでは集積回路と直接に接続された表面コンデンサの設置であり、他のケースでは選択された集積回路の近くの電源面と接地面とに接続された表面コンデンサの設置である。いずれにしても、表面コンデンサがPCB表面上に形成されるか又は取り付けられて、例えば、表面配線又はスルーホール接続によってそれぞれのデバイス又は集積回路などと接続されている。

一般に、表面コンデンサは、上述の望まれない電圧フリッカを減じる、又は他の表現をすると、滑らかにするのに有効であることが知られている。しかし、表面コンデンサ又はバイパスコンデンサは全ての機器にいつも有効ではない。例えば、コンデンサは容量性値だけでなく誘導性値をも有しているため、コンデンサ自身は集積回路や他のデバイスの“応答”に影響を与える傾向にある。もちろん、コンデンサと、デバイス又は電源面と接地面を結合する配線やコネクタのような導体を通る電流によってインダクタンスが生じることは良く知られている。

さらに、また上述したように、集積回路や他のデバイスは、印刷配線基板内で電圧フリッカからノイズを作るエネルギーを発する第1の源である。異なる速度や周波数で動作しているデバイスには異なる特性がよく観察される。したがって、PCBsとデバイスの配列はもちろん関連するコンデンサは、一般には高速と低速の両方の動作での必要なノイズ抑制を保証するように設計されなければならない。

いずれにしても、これらの問題に打ち勝つための印刷配線基

板とデバイスの配列の設計は、印刷配線基板設計の当業者によく知られている。本発明の目的のために、表面に取り付けられ又は別個に集積回路やデバイスと接続されているコンデンサの使用は、それらの信頼性に望まれない影響を与えるだけでなくPCBsの複雑性と製造コストとを本質的に増加することを理解することが十分である。

シスレーの考えは、種々の集積回路及び／又はデバイスに容量性機能を与えることができる容量性素子をPCB自身に形成することにより、PCB上の多くのデバイス又は集積回路に個々の表面コンデンサを備えるという問題を克服した。さらに詳しく言えば、シスレーの考えは、1又はそれ以上の容量性層をPCBの内部に形成することを意図しており、好ましくはPCBの電源面と接地面とを形成する容量性層上の導電性シートを意図している。

このようにして、一般に個々のデバイス及び／又は集積回路を電源面と接地面の両方にも、PCBの内部容量性素子にも一対の配線又はコネクタによって相互に連結することが可能となった。

このように、シスレーの設計は、PCBの設計に多くの実行可能な重要な効果をもたらした。まず、それはPCB上の全てではないにしてもほとんどの表面コンデンサの必要性をまったく除去した。同時に、PCBのために電源面と接地面をも形成する容量性層によって、シスレーの設計は集積回路及び／又はデバイスと連結している電気コネクタの数を約50%減らした。PCBからのこれらの部品の減少または除去は、その製造

の複雑性とコストを最小にただでなくその信頼性をも大きく改善した。さらには、PCBからの表面コンデンサの除去は、PCB上のデバイスの配置を粗にしたか、又は他の表面デバイスや回路の追加を可能にした。

上述した全ての重要で望ましい効果を達成するために、個々のデバイス及び／又は集積回路のそれぞれに、内部キャパシタンス層の局所的な面積や部分を指定しまたは割り当てる必要性をシスレーの設計は考えた。このように、シスレーの設計は誘電性シートと導電性シートとを伴う容量性層の必要性を考えており、この誘電性シートと導電性シートとは一般に現在の技術水準を越えた厚さの大きな減少及び／又は高い誘電率となっている。

シスレーの概念は上述した設計パラメータのため、必要な容量性値に達するための多くの手法を考えている。例えば、シスレーの概念は、200程の高さの誘電率を有する誘電材料を用いてわずかに約0.5ミルのオーダーの非常に薄い誘電性シートを要求する。

このような特性は、誘電性材料の現在の技術水準においては入手できない。加えるに、理論上であっても、極薄の容量性層を必要とする考えはまた容量性層を極めてうまくして作業を困難にする。

したがって、たとえシスレーの考えが製造の容易さとコスト低減に多くの本質的な効果を与えるだけでなく信頼性を増加させるとしても、少なくとも理論上は、シスレーの考えの容量性PCBの加工例を製造するためには実際に使用できる容量性層

が必要とされる。

発明の要約

したがって、本発明の目的は、容量性印刷配線基板のために設計パラメータを合わせて、上述した1又はそれ以上の問題範囲を最小に及び／又は除去するために、上述した型の容量性印刷配線基板に使用するに有効なコンデンサ積層体を提供することにある。

本発明の考えは、高速道路の交通の観察による類推として発達した。ラッシュアワーの間は、多量の車が同じ“伝送”空間を占領しようとする結果、一時的停止はないとしても交通速度は非常に遅れることに気が付く。反対に、普通のラッシュアワーでない間は、異なる車が異なる時間に同じ伝送路に沿って移動することが観察される。このように、車は互いに邪魔をせず、それらは比較的早い速度で移動することが可能であった。

類推によって、印刷基板上のそれぞれのデバイス及び／又は集積回路の動作により始まる電子の流れや電流の流れは、それらのランダムな動作のために異なる時間に生じることが理解される。したがって、印刷配線基板のための容量性素子は、コンデンサ内のキャパシタンス容量の借り使用又は分離使用ができるように設計されることが考えられる。言い換えると、印刷配線基板内に合体されたコンデンサ素子の適切な設計によって、それぞれのデバイスや集積回路にとっては、各々それぞれのデバイスのためにコンデンサ面積の特定部分または比例する部分の使用だけでなく、他のデバイス及び／又は集積回路に割り当

てられたかまたは比例するコンデンサ面積に隣接する“借りキャパシタンス”の使用が可能となるであろう。

このような印刷配線基板内での普通のデバイスと集積回路にとってのランダムな動作を原因として、上述した借りキャパシタンスという新しい原理によりデバイスがコンデンサ積層体の同じコンデンサ面積を事実上使用できるために、デバイスは異なる時間間隔を越えて放電するかまたは動作する傾向にある。

借りキャパシタンスという考えはコンデンサ積層体内で形成可能とされ、積層された印刷配線基板内の層として、次の2つの原理に従って本発明により与えられる。初めに、各デバイス及び／又は集積回路の動作調節のために実質的に大きいコンデンサに比例する面積が必要とされるため、誘電性材料の誘電率が選択される。同時に、本発明の借りキャパシタンスの概念から生じる増加したキャパシタンスをデバイス及び／又は集積回路に利用可能にする適切な電子または電流の流れを保证するために、誘電性シートの反対側の導電性シートには十分なコンダクタンスが与えられ、好ましくは導電性シートの相対的厚さの増加によってコンダクタンスが与えられる。

上述の設計の考えは、まず誘電性シートの材料が現在の技術水準のパラメータのなかで選択されることを可能にし、一方コンデンサ積層体の構造的剛性を保証する適切な厚さを有するなかで選択されることも可能とする。同時に、コンデンサ素子、すなわち、コンデンサ積層体としての製造を大いに容易にする目的で、本発明により形成可能である誘電性シートと導電性シートの増加した厚さは、コンデンサ素子または層が現存する

導電性材料と誘電性材料のシートの積層として形成されることを可能にする。

特に低い動作速度と周波数における電圧フリッカとノイズを有効に抑えるために、例えば、コンデンサ積層体の異なる領域と結合した規定された数の表面コンデンサの設置により、最終の容量性印刷配線基板の付加的同調を与えることも可能であることがわかった。

上述の借りキャパシタンスの考えを利用するために、積層板の多層の中に含まれるコンデンサ積層体と共に容量性印刷配線基板(PCB)を提供することは本発明の目的であり、上述したような借りキャパシタンス又は分離キャパシタンスを用いる容量性機能を与えるために、基板上に取り付けられるかまたは形成されてコンデンサ積層体(または多数のコンデンサ積層体)と動作的に結合される集積回路のような多数のデバイスを提供することは本発明の目的である。

各コンデンサ積層体は導電材料からなる2枚のシートと誘電性材料からなる中間シートとを含んでおり、これらは印刷配線基板内部にこれらの包含を容易にする構造的に剛性な装置として一緒に積層されている。誘電性材料は、本発明の借りキャパシタンスの考えによって各デバイスや集積回路をランダム動作で機能できるようにする選択された厚さと誘電率とを有する。導電性材料のシートも同様に、各デバイスの適切な動作のために各デバイスに十分な借りキャパシタンスを供給するのに必要な適切な電流にさせる最小のコンダクタンス値を有する。

好ましくは、シスレーの概念によると、上述した設計上の考

えを利用するためにコンデンサ積層体は印刷配線基板内部に電源面と接地面とを含むと考えられている。加えて、多数のコンデンサ積層体は、更に増加したキャパシタンスのためにPCB内部に一定の間隔を保って配置されてもよい。

本発明の他の目的は、このようなコンデンサ積層体に、このコンデンサ積層体の構造的剛性を保証するために、少なくとも約0.5ミルの厚さを有する誘電性シートと少なくとも同様に約0.5ミルの厚さをそれぞれ有する導電性シートとを与えること、及びデバイスのランダム動作のために十分な借りキャパシタンスを供給することにある。

本発明によると、誘電性シートと導電性シートの両方は、構造的剛性のための最小厚さだけに基づくだけでなく、この文書中で論じた必要なキャパシタンスを保证するための電気的特性にも基づいて選択される。更に詳しくいえば、誘電性シートの最小厚さは、現状の技術水準にある少なくとも約4の誘電率を有する誘電性材料の使用を可能にする。以下に更に詳細に説明するように、4から5の範囲の誘電率を有する誘電性材料は容易に入手でき、例えば、エポキシを溶かしたセラミックのような材料から誘電性シートを形成することによって、約10までの誘電率を有する誘電性材料の形成が可能となる。

同時に、本発明による借りキャパシタンス又は分離キャパシタンスの考えのために必要な適切な電子の流れや電流の流れを保证するために、導電性シート内部に最小コンダクタンスを与えることもまた上述したように重要である。この点については、コンダクタンスは、導電性シートが形成される材料だけで

なく、寸法または更に詳しくいえばシート内の導電性材料の量や容積にも依存することが注目される。したがって、銅のようなみずかしい導電性材料から形成された導電性シートを用いて、希望するコンダクタンスを達成するための必要な材料を保證するために、シート寸法は1フィート当たりのオンスに換算して選択される。これに基づいて、少なくとも約0.5ミルの厚さ、更に詳しくいえば約0.6~0.7ミルの厚さを有する銅シートは、導電性シートの1平方フィート当たり普通約0.5オンスの銅を有している。

コンデンサ積層体は、約4.0~5.0、より好ましくは約4.7の誘電率と共に、上述のように少なくとも約0.5ミル、より好ましくは約1.5ミルの誘電性厚さを有していると、好ましくは考えられている。上述の制限に従って形成された誘電性シートは、シート内の適切な構造的剛性を保證すると同時に、現在の技術水準の材料から容易に形成できる。

同様に、導電性シートは導電性材料、好ましくは銅から形成され、約3.5ミルのコンデンサ積層体の厚さ全体にわたって上述のように0.5ミルの最小厚さ（または1平方フィート当たり約0.5オンス）を有し、この導電性シートは、更に好ましくはそれぞれが約1ミルの厚さ（または1平方フィート当たり約1.0オンス）を有する。

上述したように中間生成物としてかまたは容量性印刷配線基板の一部分として、コンデンサ積層体を提供することは本発明の付加的な目的である。

印刷配線基板(PCB)内のコンデンサ積層体自身や単層や

複数層のそばのコンデンサ積層体に関して、コンデンサ積層体に向上した容量性完全を提供することは本発明の特別の目的である。

この点について、術語“容量性完全”は、コンデンサ積層体の一般的な全てのタイプに対して抵抗の形でコンデンサ積層体の望ましい特性を示し、このコンデンサ積層体には、コンデンサ積層体の試験中や実際の使用中における、導電性箔の間の短絡や、導電性箔の間の印加電圧の結果として生じる絶縁破壊などがある。

更に詳しくいえば、薄層に先立って、わずかに約4ミル、さらに好ましくはわずかに約2ミル、最も好ましくはおよそ1~1.5ミルの範囲にある初期厚さを有する誘電性シートを選択すること、および最終のコンデンサ積層体内の誘電性シートに対する導電性箔の一方の側の付着力を増強するために十分な表面粗さ又は表面変化を伴う処理が施された側の一つの表面をそれぞれが有する2つの導電性箔を選択することによってこのような望ましいコンデンサ積層体を提供することが本発明の目的であり、この最終のコンデンサ積層体の中では、導電性箔の処理された側の表面は誘電性シートの向かい合う側と深い接触をしており、この誘電性シートの中では、容量性完全の向上のために、導電性箔の全ての向かい合う表面部分の間で誘電性シートは最小の厚さを有する。

コンデンサ積層体内の導電性箔の表面処理は多くの機器において特別の価値を有する。本発明の好ましい実施例と関連して詳しくいえば、本発明は、容量性印刷配線基板内でのコンデン

サ積層体の利用法と考えられているところの望ましい容量性完全を供給し、この容量性印刷配線基板では借りキャパシタンス又は分離キャパシタンスの考えが用いられ、PCB上に取り付けられてコンデンサ積層体の異なった部分と連結されている多くのデバイスの動作を可能にするか又は容易にすることができ、このような実施例では、以下に詳細に説明する必要なキャパシタンスを与えるために、誘電性シートの厚さを制限することが必要である。このような応用のためには、一般に入手できる誘電性能力と、約2ミルを越えない、最も好ましくは約1~1.5ミルの範囲にある厚さを有する誘電性シートをコンデンサ積層体は含むと考えられている。

従来、コンデンサ積層体内部及び/又はPCB内部、特に上述したように容量性PCB内部で、導電性箔の適切な付着を保證するために、一般に導電性箔の上に生じる実質的な表面粗さ又は表面変化又は“歯”のため、コンデンサ積層体内でそのように薄い誘電性シートの使用は実行できると考えられていない。

コンデンサ積層体が、上述した分離キャパシタンス又は借りキャパシタンスの理論に基づいて容量性PCB内部で単一又は複数層として利用されると考えられているところでは、この文書中のどこかで検討したように導電性箔内部において最小レベルの導電率を与えることもまた必要である。

好ましくは、例えば、コンデンサ積層体内部と積層容量性PCB内部において適切な付着又は結合を保證するために、各導電性箔の両面は同様に表面処理されている。最終の導電性箔

は、普通は銅であり、“スムーズ”側又は“光沢”側とも言われる“バレル”側を有するため、良く知られている電着技術によって形成されて一般に入手される導電性箔の使用により、このような応用は容易に満たされることができ、導電性箔の他の側は一般には“マット”側と言われるが、“歯”側としてもまた知られており、この側は一般には、箔のバレル側より大きい表面粗さまたは表面変化によって特徴付けられる。比較的表粗さ又は表面変化の少ないバレル側やスムーズ側は誘電性シートに深く接触して積層されるため、導電性の向きを従来使用されている導電性の向きから逆の向きにすることによって、このような導電性箔の一定の等級が本発明で使用するのに適していることがわかった。

しかし、このような形状は、誘電性シートに関して導電性箔の適切な向きを保證するために導電性箔の指標を要求する。対照的に、本発明はまた、コンデンサ積層体の薄層の間では指標手段は必要としないために、導電性箔の両面が同程度の表面粗さと表面変化を有している導電箔を考えている。

同様に、コンデンサ積層体自身の製造方法と上述した形状の容量性印刷配線基板の製造方法とを提供することは本発明の関連する目的である。

本発明の追加の目的及び効果は、添付図面を参照する次の説明で明らかにされる。

図面の簡単な説明

図1は、本発明によって形成された容量性印刷配線基板の平

面図である。

図2は、印刷配線基板の表面上に取り付けられて基板内の他のデバイスや構成部分及び電源とスルーホール接続によって接続された集積回路などのデバイスを示す印刷配線基板の一部分の部分拡大図である。

図3は、図2と同様の図であり、印刷配線基板の表面上に配置されてこの印刷配線基板内の他のデバイスや構成部分及び電源と表面配線又はパッドによって接続されたデバイスが取り付けられた表面を示す。

図4は、本発明の印刷配線基板内部のコンデンサ積層体によって形成された電源面や接地面との代表的デバイスの接続や配線を示す印刷配線基板の模式断面図である。

図5は、図4と同様の模式断面図であり、印刷配線基板内部の多数のコンデンサ積層体を示す。

図6は、本発明によるコンデンサ積層体を含んだ容量性印刷配線基板の模式断面図の顕微鏡写真である。

図7は、3.5ミルの導電性層の全ての対向面部の間で最小の厚みや間隔をもつために、誘電性シートの向かい合う側に隣接して2つの導電性層のマット側や側面が配置されているコンデンサ積層体の断面の顕微鏡写真の形態による先行技術の代表である。

図8は、この文書中のいずれかで検討したように容量性完全の増強を維持するために、本発明により形成されたコンデンサ積層体の断面の同様の顕微鏡写真である。

として容量性層内の誘電性層の公称厚さは約0.000021(インチ)となる。この誘電性厚さは、明らかに現在の技術水準または現在のPCBsに関する製造技術からは製造できない。さらに詳しく言えば、上の設計計算結果は、シスラの考えを実行するために必要と元来考えられる容量性材料の代表と信じられており、現在可能な厚さより100倍小さな厚さかまたは現在の技術水準から得られるより100倍大きな誘電率をもつ誘電性層を必要とする。

比較的低コストで信頼性の高い容量性印刷配線基板の製造を容易にするのに加え、本発明は、本発明のコンデンサ積層体によりキャパシタンスを与えられる多くのデバイスの応答の改善を可能にすることが見出された。本発明のコンデンサ積層体は、デバイスのために広範囲の周波数にわたり正確な電圧調整とノイズの低減とを可能にすることが見出された。比較的高い周波数でこのような調整を与えるのに加え、以下で詳細に説明するように限定された数の表面コンデンサがコンデンサ積層体と互いに連結されている同調によって、例えば40メガヘルツの低周波数において、同様な電圧調整とノイズの低減とが達成できることも見出された。

初めに図1を参照する。本発明によって形成される容量性印刷配線基板は通常10で示される。この印刷配線基板10は、以下で詳細に述べる内部コンデンサ積層体の構造を除くと一般的な従来の構成である。したがって、容量性印刷配線基板10の外部的特徴は簡単に述べ、当業者によく知られている一般の型を除く。印刷配線基板に関する構造と設計の考察をする。

好適な実施例の説明

本発明により形成されるコンデンサ積層体を以下に詳細に説明する。

上述したように、本発明のコンデンサ積層体は簡単な製造を容易にするために設計されており、これは好ましくは材料の中央部誘電性シートとその対向する側にある導電性シートとからなるセパレートシートにより形成される薄層により行われ、この誘電性材料と導電性材料の両方は現状の技術水準により選択されることを理解することは特に重要である。このような組み合わせは、上で要約したような積りキャパシタンスまたは分離キャパシタンスの考えによって可能とされる。

本発明で説明する積りキャパシタンスまたは分離キャパシタンスを、例えば、電力伝送回路の解析において一般に使用される従来の考えである分布キャパシタンスと比較して区別することもまた重要である。この分布キャパシタンスの理論は印刷配線基板設計の当業者によく知られていると信じられており、この理論は公式 $C = \epsilon A / t$ に基づく分布キャパシタンスの計算を含む。ここで、 C はマイクロファラドで表されるキャパシタンス、 ϵ は誘電性材料の誘電率または比誘電率、 A は容量性デバイスの有効または割当面積、 t は誘電性層の厚さである。

この公式を用いると、標準印刷配線材料に使用して1平方インチ当たり普通のバイパスコンデンサ(0.1マイクロファラド)のための計算値を与える誘電性層の要求厚さは、その設計において2つの分離容量性層が使用されている印刷配線基板に

本発明の目的のためには、容量性印刷配線基板10はその表面に配列された多くのデバイス12を含む型であることを理解することで十分である。広く知られた印刷配線基板技術によると、デバイスや構成部分は基板の一つまたは両側に配置されてもよく、集積回路やトランジスタなどの能動デバイスを含んでもよい。このような能動デバイスは真空管またはその種の他のものまでも含んでもよい。デバイス12はまたコンデンサ、抵抗器、誘導子のような受動デバイスを含んでもよい。

図2を参照する。集積回路のような能動デバイスは受動デバイスと共に14で示され、特にコンデンサは16で示される。これらのデバイス、特に能動デバイスまたは集積回路14は、図1に一般的に示される印刷配線基板上に配置される多くのデバイスの代表である。図2に示された型の形状では、デバイスは印刷配線基板内部の電源面と接地面とに相互に接続されており、また一般に18で示されるスルーホールコネクタやピンによって他のデバイスとも相互に接続されている。図2には、コンデンサ16のための2つのこのようなコネクタまたはピン18が示されており、一方16-ピン設計の集積回路14は図示したように16個のスルーホールコネクタまたはピン18を含む。付加的配線が一般的に20で示すように、印刷配線基板上の様々なデバイスの相互の接続を容易にするために設けられてもよい。

図3の部分的表示により印刷配線基板のための他の形状が示され、図3には同様に一般的に14'で示される集積回路のような能動デバイスが示されており、この集積回路14'は図3

に示す底面から印刷配線基板の反対側面または裏面に取り付けられているため想像線で示されている。受動デバイスまたはコンデンサ16'もまた図3に示されており、これらは好ましくは印刷配線基板の底面22に取り付けられている。表面に取り付けられた図3に示す形状においては、能動デバイス14'とコンデンサ16'とは表面配線またはパッド24上に取り付けられている。印刷配線基板技術のよく知られた手法によると、パッド24はデバイスの表面取り付けを容易にする一方、必要な両面配線とスルーホールコネクタまたはピンによりデバイス相互の接続及び上述の内部電源面と接地面などの電源とデバイスとの相互の接続を与えることを容易にする。

図2と図3を参照する。本発明は特に、多数の表面コンデンサと置き換えるために、本発明のコンデンサ積層体の形状において内部容量性層の利用方法を考える。したがって、たとえばほとんどの表面コンデンサが印刷配線基板10内で本発明のコンデンサ積層体に置き換えられたとしても、限定された数の表面コンデンサは、以下に詳述するように少なくとも低周波数同調を達成するという目的のためには図2と図3に示されたような状態であることが望まれる。

図4は、図1に示す容量性PCB10の断面図であり、本発明に従って形成されたコンデンサ積層体26と印刷配線基板10内部の内部容量性層の形状を示す。コンデンサ積層体26は導電性材料、好ましくは銅、から形成される所定間隔離れたシート28と30とを備え、また向かい合った側には誘電性シート32が配置されている。好ましくは、導電性シート28

と30は印刷配線基板のための電源面と接地面とを形成する。このような形状は、特に電源面と接地面の点からは、この分野では広く知られており、この内容についてはさらに説明するには及ばないと思える。

表面に取り付けられたデバイス14'は、図2の集積回路に対応するものであり、図4に示す基板の表面に取り付けられており、導電性シート28と30とにそれぞれ電源線及び接地線34と36とを介して相互に接続されている。電源線34は導電性シート28に接続されており、一方他方の導電性シート30にはホール（図示せず）が形成されている。同様に、接地線36は導電性シート28内のホールを通り抜け、導電性シート30と電気的に接続される。このように、表面デバイス14'は正確に電源面と接地面の両方に接続される。デバイスの相互間の接続のため又はPCB内部の他の接続をするために、必要に応じて38で示されるような信号線もまた備えられている。

図5を参照する。容量性印刷配線基板10'の他の実施例が示されており、この容量性印刷配線基板10'は2つのコンデンサ積層体40と42とを備えている。さらに、表面に取り付けられているデバイス14'は導電性シート28'と30'とに、それぞれ電源線34'と接地線36'とを介して相互に接続されている。

このように、コンデンサ積層体の全体にわたる面積が等しいと仮定すると、図5に示された2つの容量性層（またはコンデンサ積層体）は、図4の単一容量性層の2倍のキャパシタンス

を与える。さらに、図5において電源面と接地面とを形成する導電性シートは平行に接続されているため、電源面と接地面とには合計2倍の導電性材料が実際に備えられる。したがって、図5に示される設計は多量のキャパシタンスが要求されるときだけに使用されるのではなく、さらに高い電流を流すかまたはさらに高い電圧差に耐えるように考えられている電源面と接地面とを有する高電圧機器およびその他同種類のものにおいても使用される。

上述のように、図6は図1に示す容量性印刷配線基板10の断面の顕微鏡写真であり、以下に詳説するようにコンデンサ積層体26の特殊な形状を説明するつもりである。

図4において26で示すようなコンデンサ積層体の形状と図1において10で示すような容量性印刷配線基板の形状とに基づいて、コンデンサ積層体の個々の構成部分が本発明に特に重要であるため、これらについて以下に詳細に説明する。

まず、コンデンサ積層体26は、印刷配線基板10の表面に取り付けられた全て又はかなりの数のデバイスに必要なキャパシタンスを与えるように設計されている。これらのデバイスは図2と図3とにそれぞれ示されるタイプの分断スルーホールピンまたは表面配線によって、電源面と接地面とに相互に接続されていてよい。

借りキャパシタンスの考えを達成するために、誘電性材料からなるシート32は選択された厚さと誘電率とを有し、それによって印刷配線基板の表面に取り付けられた個々の各デバイスには、コンデンサ積層体の割り当てられた部分とまた周りのコ

ンデンサ積層体の部分からの借りキャパシタンスとによって容量性機能が与えられる。したがって、上述のように、印刷配線基板上のデバイスの完全な配列にとって必要な容量性値の部分にだけと等しい合計キャパシタンスをコンデンサ積層体26が与えるため、コンデンサ積層体の容量性機能はデバイスのラゲル放電開始または動作に依存する。

同時に、そのデバイスの適切な作動のために十分な借りキャパシタンスをそれぞれのデバイスに供給するのに必要な十分な電子の流れかまたは電流の流れを可能にするために、導電性シート28、30には単位面積当たりの質量についてかまたは厚さについて十分な導電性材料が与えられている。

また上述したように、それぞれの導電性シート28と30は構造的な剛性を達成し、また借りキャパシタンスの考えに従って十分な電子の流れかまたは電流の流れを可能にするために、単位面積当たり十分な量の銅により形成されている。さらに詳しくいえば、それぞれの導電性シート28、30は一平方フィート当たり少なくとも約0.5オンスの銅で形成され、その質量は約0.5ミルの厚さ、さらに詳しくは約0.6〜0.7ミルの厚さに一般的に対応する。例えば、特殊な機器内の電源面と接地面のために容量を運ぶさらに大きな電圧または電流に合わせるために、導電性シートの厚さを増加させてもよい。好ましくは、各導電性シートは一平方フィート当たり約1〜2オンスの銅を含み、それらの質量は約1.2〜2.4ミルの範囲内の各シートの厚さに対応する。より好ましくは、コンデンサ積層体26の最適な性能に到達するために、導電性シー

ト28と30は一平方フィート当たり約1オンスの銅で形成されるか又は約1.2~1.4ミルの範囲内の厚さを有する。容量性層26内への導電性シートの積層に先立って、各導電性シートにおける銅の量はまた、導電性シート28と30内部で十分な構造的剛性を達成するための最小値として選択される。

コンデンサ積層体26内への包含と複合容量性層のための包含とに先立って、図4に示す単一コンデンサ積層体26又は図5に示す複式コンデンサ積層体においては、再び借りキャパシタンスの考えに従って、誘電性シート32の組成と厚さが必要なコンダクタンスに到達すると共に、また誘電性シート32の構造的な剛性に到達するように選択される。

本発明は好ましくは、少なくとも約4の誘電率を有する誘電性材料の使用を考える。現在の技術水準内で、約4~5の範囲内の誘電率を有する誘電性材料は広く入手できる。さらに、例えば、エポキシが満たされたセラミックから形成される、例えば10に向かって変化する誘電率を伴う誘電性組成を公式で表すことは可能である。このように、本発明では少なくとも約4、より好ましくは約4~5の範囲内であり最も好ましくは約4.7である誘電率を有する材料の使用を好ましく考えており、好ましい実施態様においては少なくとも特定の組成が考えられる。

このような好ましい誘電率は、誘電率と構造的剛性との必要な組み合わせを形成するために一緒に結合される組み合わせられた構成部分と樹脂部分との組み合わせによって達成されることができる。組み合わせられた構成部分は、ポリテトラフルオロ

エチレン(テフロンとゴアテックスという商品名で入手できる)とエポキシのようなポリマーを含んでもよい。しかし、組み合わせられた構成部分は好ましくは、石英の種類、好ましくは二酸化ケイ素からなるガラスで形成されており、このガラスは、選択された樹脂が満たされるか又はしみ込んだシートを形成するために一緒に編まれた糸状で形成されている。樹脂は一般に放電遅延特性のために選ばれ、シアネートエステル類、ポリイミド類、カプトン材や他の知られた誘電性材料などを含んでもよい。しかし、またPCBの製造におけるこのようなレジンの使用に関する現在の技術水準を利用するために、樹脂は好ましくはエポキシである。

単一のガラスの編まれた層から形成されて約70.0%の樹脂重量である誘電性シートは、上述したように4.7という好ましい誘電率を有し、一方また約1.5ミルの厚さで良好な構造的剛性を示す。

本発明の誘電材料の厚さは、要求するキャパシタンスに到達するためだけでなく電気的完全性を保証するために、特にコンデンサ積層体26内の導電性シート28と30との間に現れる短絡を防止するために選択される。コンデンサ積層体26内部の付着力を増加するために、誘電性シートに隣接する導電性シートの表面処理を一般作業では考えている。このような付着力は構造的な完全性のためだけでなく電気的動作の適正を保証するために必要である。導電性シート28と30の典型的に隣接する表面44と46にはそれぞれ鉛または鉛と銅(黄銅)の析出による典型的な処理が行われ、ふつうはメッキが行われ、

この処理は図6の顕微鏡写真に最もよく示されるように粗い表面を形成するためである。シート32内の誘電性材料に対する機械的結合性を増加するために、これらの粗い表面により“歯”が与えられる。

動作中において、コンデンサ積層体とそれから形成された容量性PCBとは様々な特性を伴って設計されており、様々な機器の要求を満たすために本発明にあっては特にキャパシタンスを含む電気的特性を伴って設計されている。詳説すると、コンデンサ積層体は、少なくとも最悪条件下においては、PCB上の全てのデバイスの同時動作のために必要な全キャパシタンスより明白に少ない全キャパシタンスを伴って形成されている。これは、借りキャパシタンスの考えとデバイスのランダム動作とを理由として、デバイスが必要な容量性値をコンデンサ積層体から引き寄せてくることを可能にする借りキャパシタンスの考えを通して可能となる。

基板上に取り付けられたデバイスの容量性の応答に影響を与えることなく±10%ほど変化され得る誘電性シート32の厚さ内での借りキャパシタンスの考えの効果をさらに説明するために、本発明により形成されたコンデンサ積層体の容量性PCB内部で意図する機能を実行する能力が見い出された。このような特性は、比例するか又は割り当てられた合計キャパシタンス領域内のキャパシタンスにだけに基づいてデバイスは機能しないことを明確に証明できると信じられる。むしろ、誘電性厚さの実質的な変化と共に動作する能力は、与えられた機器の動作に必要なキャパシタンスの合計を借りるデバイスの能力を示

すと信じられている。いずれにしても、この現象は、たとえ多分十分に理解されなくても、本発明内で設計変更をさらに増加させると信じられている。

製造においては、誘電性シートと導電性シートとは、コンデンサ積層体についての先の検討に従って選択される。コンデンサ積層体の種々の層が組み立てられて約350°Fで一平方インチ当たり300ポンドの圧力で約1時間の間積層される。印刷配線基板内において対向面の包含を容易にして滑らかな対向表面を保証するために、コンデンサ積層体の隣接する対向面には好ましくはかたいセパレータが使用される。

容量性の完全を増加すると共に比較的高いキャパシタンスを達成するためのコンデンサ積層体内の表面処理または表面特性に関する本発明の他の観点、図7に示す先行技術と本発明により形成されたコンデンサ積層体の断面図の類似顕微鏡写真とについて以下で論議される。

まず図7を参照する。先行技術のコンデンサ積層体は一般に126'で示され、誘電性シート132'を挟んで対向する面に積層された導電性箔128'と130'と共に単一の誘電性シート132'を含んでいる。

標準的例では、導電性箔128'と130'の各々は、誘電性シート132'に密接してマトン側又は側面144'と146'とを有している。パレル側または滑らかな側148'と150'とはそれぞれ導電性箔のために外側に面しているかまたは誘電性シートから遠ざかる方向に面している。2つの導電性箔と誘電性シートとの間の付着を最大にするために、このよ

うな配列が行われている。

上述を参照にした軍規格では一般的に、このような先行技術のコンデンサを標準であると考えられている。他の要求の中では、軍規格は、導電性箔の間の誘電性の1ミルの厚さ当たり750ボルトの電圧にコンデンサが耐えることを要求している。さらには、軍規格は、誘電性シートが導電性箔の間に積層された後、導電性箔のどの対向する表面部分の間でも少なくとも3.5ミルの最小の厚さを有していることを要求している。

128'と130'とで示されるような導電性箔は、ゴールドエレクトロニクスとテキサスインスツルメントとを含んだ多くのところより商業的に供給される。銅から形成される導電性箔はゴールドから入手でき、その箔の商品名は、ゴールド株式会社(オハイオ州、イーストレイク)から1989年3月に発行されたゴールド報告書88401に説明されている"JTC"FOILという名である。ゴールドから入手できる他の箔には、ゴールド株式会社から1989年3月に発行された報告書88406と報告書88405とにそれぞれ説明されているLOW PROFILE "JTC" FOILと"TC/TC" DOUBLE TREATED COPPER FOILという商品名で入手できるものを含む。上述したような導電性箔に関する完全な情報を提供するために、これらの報告書はこの文書中に編入されている。

上述したような導電性箔の表面粗さと表面変化は、従来は箔表面の垂直断面の測定値によって示され、一般には R_a 、 R_{ms} で表現される。これらの値は、エッチングによる最初の表面処

理とまた次に続く酸化処理の形成かまたは銅亜鉛合金を形成するコーティングによる表面処理後の箔のそれぞれ表面粗さと表面変化とを示す。垂直断面の測定値 R_a 、 R_{ms} はミクロンで示され、上述の2重処理が行われた箔のマット側では典型的には約8.0~12.0ミクロンの範囲となる。いわゆる低断面"JTC"箔は、マット側で約6.0~9.0ミクロンの範囲の最大垂直断面測定値を典型的には有する。一般的に、本発明の目的にとって、表面垂直断面の最大値は、この最大値は約12.0ミクロンまでであるが、箔のマット側の"樹"の積層間誘電性シートへの最大浸透を示す傾向にある。このような形状は図7に示されている。

図7に示す先行技術のコンデンサ積層体と比較すると、本発明は特に、約0.1マイクロファラッドより大きい分布キャパシタンスを達成するために、比較的限定された厚さを有するコンデンサ積層体の誘電性シートと共に容量性印刷配線基板内で適用されるコンデンサ積層体を考えている。この値を達成するために、本発明は、その最終的な積層形状において、最小厚みが約0.75~1.0ミルの誘電性シートを有するコンデンサ積層体を好ましくは考えている。

さらに、この文書中の他の場所で記載されたコンデンサ積層体の好ましい実施態様では、コンデンサ積層体は一般に上述した軍規格に従って検査を受ける。言い換えれば、約1~1.5ミルの誘電性厚さと仮定すると、コンデンサ積層体は少なくとも500ボルト、750ボルトまたは1000ボルトと同じ位の電位差にさらされる。この検査は短絡または絶縁不良の存在

結果を確定するために行われるものである。

このようなコンデンサ積層体において全般的な信頼性を達成するために、導電性箔と誘電性シートとの間の付着を保证するのに要求される程度に、誘電性シートに積層される導電性箔の側において表面粗さと表面変化とを制限する必要があることがわかった。上述の導電性箔のマット側の合計の表面変化はこのような付着を保证するためには必要ないことがわかった。たとえ付着を達成するのに十分な表面変化の精密な限定は知られていなかったとしても、わずかに約6ミクロン、より好ましくは約4ミクロンの R 値に対応する最大表面粗さまたは最大表面変化と共にこのような付着が達成されることが検査からわかった。これらの値は上述した箔の表面特性に対応する。さらに、この文書中に記載と図7はもちろん図1と図4~6に示されるように、ゴールド報告書88405に記載されているいわゆる"TC/TC"2重処理銅箔を用いて、容量性印刷配線基板内で導電性箔と誘電性シートとの間だけでなく導電性箔と他の層との間でもよい付着が達成されることがわかった。

本発明による2重処理箔を用いると、外側に向いている導電性箔の粗い側またはマット側と共に、誘電性シートに対して導電性箔のドラムまたは滑らかな側の位置を定めることは決定的に重要であることがわかった。これはもちろん、上述した先行技術で行われていることと直接の対照をなすものである。

上述した2重処理箔を使用するときには、図8の148と150で示すドラム側又は滑らかな側とが誘電性シート132に接触して位置決めされていることを保証するために、導電性箔

を指数付けすることが更に必要である。理想的には、ドラム側又は滑らかな側について上述した好適な態様に従って似たような表面粗さと表面変化とを両側に有する導電性箔を本発明は考えている。導電性箔の両側の同様の表面特性の用意は上述した指数付け過程の必要性を除去する。

本発明に従って形成されたコンデンサ積層体は、本発明の特徴である特定の容量性印刷配線基板以外の他の機器にも使用可能であることもまた注目される。例えば、上述したように、上述した軍規格をわずかに約4ミルの誘電性の最初の最大厚さに合わせる事が可能となるだろう。これは、誘電性のより大きい均一性を伴うと共に例えば約5~6ミルの最初の厚さで与えられる誘電性の実質的な量なしに、約3.5ミルの最小厚さを有する最終のコンデンサ積層体の製造を許すであろう。

しかし、上述したような好適な表面処理かまたは表面特性を有するコンデンサ積層体は、好ましくは容量性印刷配線基板内で使用されると考えられ、PCB上に取り付けられた多くのデバイスのためのキャパシタンス要求を満たすためにコンデンサ積層体を借りキャパシタンスまたは分布キャパシタンスの理論で機能させることを可能とする。

このように、要約すると、コンデンサ積層体は好ましくは最初の厚さがわずかに約4ミルの厚さを有する誘電性シートを使用し、この厚さは好ましくはわずかに約2ミル、最も好ましくは約1~1.5ミルの範囲である。容量性PCBのためのコンデンサ積層体内で使用される導電性箔は、好ましくは銅の少なくとも約1ミルの厚さと同等の導電率を有している。好ましくは、

1平方フィート当たり約1オンスの銅で形成され、最終厚さが約1.2〜1.4ミルである導電性箔と考えられる。

加えるに、導電性箔には表面処理が施されており、この表面処理は好ましくは両側、少なくとも、約6.0ミクロン、好ましくは約4.0ミクロンのR値に対応する最大表面粗さまたは表面変化で誘電性シートに隣接して配置された側上に施されている。

R値で示される表面断面が導電性薄膜上の箔の誘電シートへの最大浸透に対応する傾向にあると仮定すれば、約6ミクロンの最大表面変化を有する2つの導電性箔についての結合浸透は約12ミクロンかまたは約0.5ミルの結合浸透に対応することさらに気が付く。このように、例えば最初の誘電性厚さ1.5ミルにより、最小厚さは約1.0ミルとなるであろう。良い容量性の完全はコンデンサ積層体のために、このような最小厚さ約1.0ミル、可能であれば0.75ミルと同じ程度の低さ、おそらく約0.5ミルと同じ程度によって保たれると信じられている。このように、本発明の誘電性シートは最小厚さ約0.75〜1.25ミルを有すると考えている。

誘電性シートに隣接して配置される少なくとも導電性箔側の表面処理は、コンデンサ積層体の容量性特性をさらに増加することがさらに見出された。このような表面処理は、好ましくは、例えば、最初のエッチングとその後の酸化層好ましくは銅亜鉛合金の利用を含む。しかし、他の導電性合金または金属が使用されてもよい。いずれにしても、表面処理が終了後だけは、導電性箔が、上述したR値で特徴づけられる表面粗さや表

面変化の要求に合うことが要求される。

従って、本発明により形成され製造されたコンデンサ積層体と容量性印刷配線基板との態様の種類が上に説明されている。上述したものに、変更例と変形例は当業者にとって明らかであろう。従って、本発明の範囲は、本発明の更なる例として示されている次に添付した請求の範囲だけによって定義される。

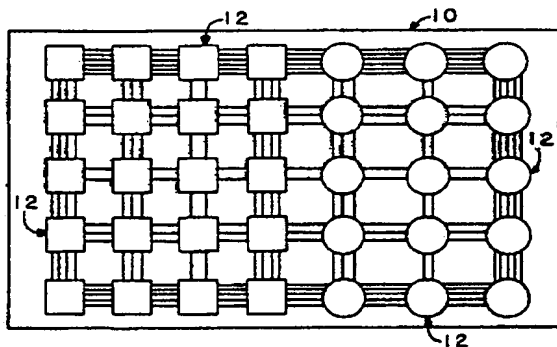


FIG. 1

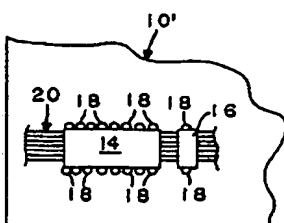


FIG. 2

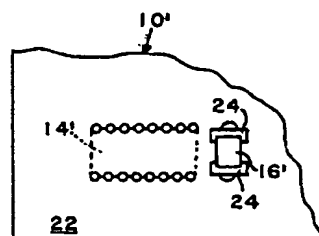


FIG. 3

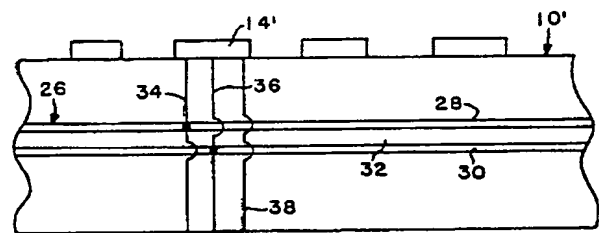


FIG. 4

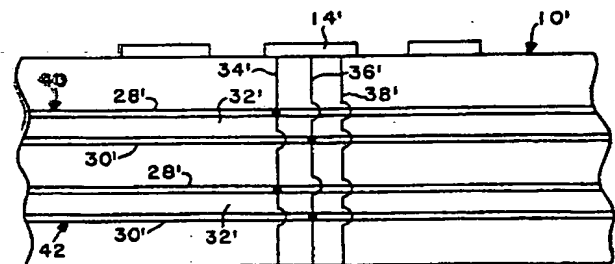


FIG. 5

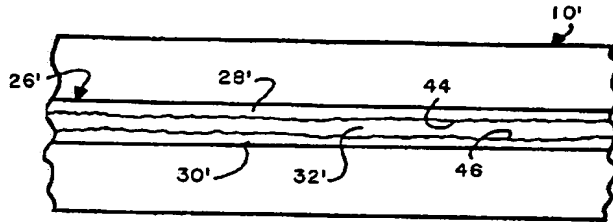


FIG. 6

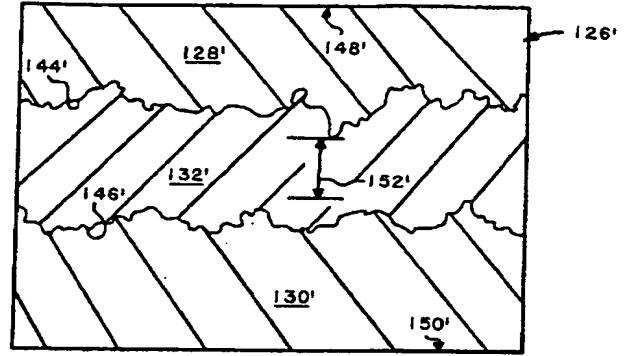


FIG. 7 (PRIOR ART)

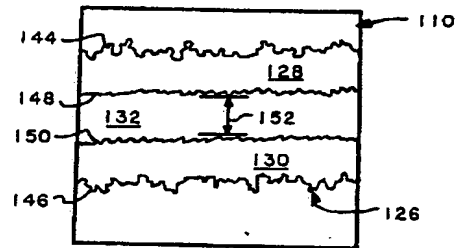


FIG. 8

国际调查报告

International Application No. PCT/US90/04777 RECEIVED at International Patent Classification (IPC) in its basic National Classification and IPC IPC (51): 332B 9/00 U.S. CL. 428/209		
* FIELD OF INVENTION Minimum Documentation Required *		
Classification System U.S.	Classification System 428/209, 426, 431, 457, 901, 361/397	
Determination of the International Classification of the Invention is the basis for the classification of the Invention.		
* DOCUMENTS CONSIDERED TO BE RELEVANT *		
Category * Y	Citation of Document, in full, including, where appropriate, the relevant paragraph * US, A. 4,584,627 (SCHILLING) ET AL) 22 APRIL 1986; See the entire document.	Extent of Examined * 1-20
* Second category of cited documents * "A" documents defining the general state of the art which is not considered as prior art for the purposes of the invention. "E" documents published on or after the international filing date. "L" documents which may have priority, on an a priori basis, or which may be considered as prior art for the purposes of the invention or other documents which may be considered as prior art for the purposes of the invention. "X" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "Y" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention.		
* Third category of cited documents * "Z" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "W" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "V" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "U" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "T" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "S" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "R" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "Q" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "P" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "O" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "N" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "M" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "K" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "J" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "I" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "H" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "G" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "F" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "D" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "C" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "B" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention. "A" documents published on or after the international filing date but which are not considered as prior art for the purposes of the invention.		
* CERTIFICATE FROM Date of the Actual Completion of the International Search: 18 OCTOBER 1990 Date of the Issuance of the International Search Report: 19 DEC 1990 International Searching Authority: ISA/US Signature of the International Searching Authority: PJ Ryan		

第1頁の続き

優先権主張

⑤1990年5月10日⑤米国(US)⑤521,588

⑦発明者

ルーカス, グレゴリー エル

アメリカ合衆国 94560 カリフォルニア州 ニュアーク クレス
トモント アヴェニュー 7680

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.